

⑫ 公開特許公報(A)

平2-44599

⑤ Int. Cl.⁶

識別記号

庁内整理番号

④ 公開 平成2年(1990)2月14日

G 11 C 18/08

7341-5B

G 11 C 17/00

3 0 9 A

審査請求 未請求 請求項の数 3 (全8頁)

⑨ 発明の名称 不揮発性半導体メモリ装置の書き込み方法

② 特 願 昭63-194576

② 出 願 昭63(1988)8月5日

⑦ 発 明 者 外 岡 富 士 雄 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑦ 発 明 者 百 富 正 樹 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑦ 発 明 者 伊 藤 寧 夫 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑦ 発 明 者 岩 田 佳 久 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑦ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑦ 代 理 人 弁 理 士 鈴 江 武 彦 外 2 名

最終頁に続く

明 細 書

1. 発明の名称

不揮発性半導体メモリ装置の書き込み方法

2. 特許請求の範囲

(1) 半導体基板上にゲート絶縁膜を介して制御ゲートが形成され、ゲート絶縁膜中に電荷保持部を有する電気的書き換え可能なメモリセルが複数個直列接続されてNANDセルを構成してマトリクス配列され、各NANDセルの一端部のドレインがビット線に接続され、各メモリセルの制御ゲートがワード線に接続されて構成される不揮発性半導体メモリ装置のデータ書き込み時、選択されたワード線につながる全てのメモリセルに同時にデータ書き込みを行うことを特徴とする不揮発性半導体メモリ装置の書き込み方法。

(2) 半導体基板上にゲート絶縁膜を介して制御ゲートが形成され、ゲート絶縁膜中に電荷保持部を有する電気的書き換え可能なメモリセルが複数個直列接続されてNANDセルを構成してマトリクス配列され、各NANDセルの一端部のドレイン

が一方方向に複数本配設されたビット線に接続され、各ビット線にデータラッチ回路が設けられ、各メモリセルの制御ゲートがビット線と交差する方向に複数本配設されたワード線に接続されて構成される不揮発性半導体メモリ装置のデータ書き込み時、ライト・イネーブル信号のトグルによりワード線分のデータをデータラッチ回路に保持し、選択されたワード線につながる全てのメモリセルに同時にデータ書き込みを行うことを特徴とする不揮発性半導体メモリ装置の書き込み方法。

(3) 半導体基板上にゲート絶縁膜を介して制御ゲートが形成され、ゲート絶縁膜中に電荷保持部を有する電気的書き換え可能なメモリセルが複数個直列接続されてNANDセルを構成してマトリクス配列され、各NANDセルの一端部のドレインが一方方向に複数本配設されたビット線に接続され、各ビット線にデータラッチ回路が設けられ、各メモリセルの制御ゲートがワード線と交差する方向に複数本配設されワード線に接続されて構成される不揮発性半導体メモリ装置のデータ書き込み

時、アドレス制御回路によりデータラッチ回路を制御して、送致のデータラッチ回路のうちアドレスの与えられたデータラッチ回路のみデータを反転し、その後選択されたワード線につながる全てのメモリセルにこれらデータラッチ回路から同時にデータ書き込みを行うことを特徴とする不揮発性半導体メモリ装置の書き込み方法。

3. 発明の詳細な説明

(発明の目的)

(産業上の利用分野)

本発明は、ゲート絶縁膜中に電荷保持部を有する電氣的書き換え可能なメモリセルを用いた不揮発性半導体メモリ装置(E² PROM)に係り、特にメモリセルを複数個直列接続してNANDセルを構成したE² PROMでのデータ書き込みの方法に関する。

(従来の技術)

E² PROMとして、不揮発性半導体メモリセルを複数個直列接続してNANDセルを構成したものが、提案されている(例えば、特願昭62

-233944号)。

第6図は、このようNANDセル方式のE² PROMのメモリアレイの一部を示す等価回路である。ビット線BL21には選択ゲートS1を介して、この例では4個のメモリセルM211~M214の直列接続により構成されたNANDセルの一端部ドレインが接続されている。メモリセルは、浮遊ゲートと制御ゲートを持つMOSトランジスタ構造を有する。ビット線BL22、BL23、…についても同様である。一つのNANDセルを構成するメモリセルM211~M214の制御ゲートはそれぞれ別のワード線WL1~WL4に接続されている。

このE² PROMでは、先ず全メモリセルで浮遊ゲートに電子を注入する一括消去を行い、その後NANDセルの下方(ビット線から離れた方)から順次データを書き込む。具体的に説明すれば、消去動作は、全ビット線BL21、BL22、…をOV(“L”レベル)とし、選択ゲート線SD1、および全てのワード線WL1~WL4に昇圧され

た“H”レベル電位例えば30Vを与える。これにより、全てのメモリセルで基板から浮遊ゲートに電子がトンネル注入され、しきい値が正の高い状態(“0”)になる。メモリセルM214に“1”を書き込む場合は、^{ビット}ビット線BL21を昇圧された“H”レベル例えば20Vとし、選択ゲート線SD1、ワード線WL1~WL3を同様に20Vとし、選択ワード線WL4に“L”レベルとして0Vを与える。これにより、ビット線BL21の電位は選択ゲートS1およびメモリセルM211~M213のチャネルを過ってメモリセルM214のドレインまで伝達され、メモリセルM214でドレインと浮遊ゲート間に高電圧がかかり、浮遊ゲートから電子が放出されて、しきい値の低い“1”状態になる。次にメモリセルM213に“1”を書き込むには、ビット線BL21、選択ゲート線SD1、ワード線WL1、WL2に20Vを与え、選択ワード線WL3とその下の既に書き込みが行われた位置のワード線WL4を0Vとする。これにより、メモリセルM213において先の場合と同様に浮遊

ゲートとドレイン間に高電圧がかかり、電子放出により“1”書き込みが行われる。既に書き込みが行われているメモリセルM214では、ビット線の電位がドレインまで伝達されず、制御ゲートも“L”レベルであるから、書き込みや消去は生じない。以下同様にして、NANDセルの下の方から順次書き込みを行う。

ところで以上の書き込み動作において、同じワード線で駆動される他のNANDセルでの誤書き込みがあってはならない。例えば、メモリセルM213に書き込みを行う場合、ワード線WL3が0Vとなるから、この同じワード線WL3に沿う他のメモリセルM223、M233、M243の制御ゲートも0Vとなる。従ってこれらのメモリセルのデータを書き換えないためには、非選択のビット線BL22~BL24を0Vとすればよい。しかしながら、このような電位関係にすると、他のワード線WL1、WL2が20Vであるため、これらのワード線に沿う非選択のメモリセルM221、M222、…は消去モードになり、過消去が行われて誤動作の原因と

なる。これを回避するには、非選択のビット線 $BL22, BL23, \dots$ に中間電位例えば $10V$ を印加することが考えられる。これにより、非選択の $NAND$ セル内のメモリセルは、消去モードの電界が小さい状態（第7図(a)）または書き込みモードの電界が小さい状態（第7図(b)）のいずれかになる。これらはいわば半選択状態であり、誤書き込みや過消去は一応防止される。

しかしながら、この様な半選択状態のストレスが多回数かかると、しきい値が次第に変化して誤動作を生じる危険が大きい。例えば、1 $NAND$ セルが8個のメモリセルにより構成され、1ワード線に1024個のメモリセルがつながるメモリアレイを考える。前述のように、 $NAND$ セルのビット線から遠い方から順次書き込む動作を全ビットについて行くと、1ワード線につながるメモリセルを1ビットずつ1024回書き込んだとき、この1024回の書き込みでメモリセルは1024回のストレスを受ける。但し選択されたワード線では、“1”書き込みモードの半選択状態のストレスであり、これよ

りビット線側の未選択のワード線に沿うものは消去モードの半選択状態状態のストレスである。最悪の場合は、最も最後に書き込みが行われるメモリセルであり、 $1023 \times 1 + 1024 \times 7 = 8191$ 回の半選択消去状態のストレスを受ける。これは $E^2 PROM$ の信頼性を損う原因となる。

（発明が解決しようとする課題）

以上のように従来の $NAND$ セル方式の $E^2 PROM$ では、その書き込み動作から、半選択状態のストレスを受け、誤動作を生じやすいという問題があった。

本発明は、この様な問題を解決した、 $NAND$ セル方式の $E^2 PROM$ のデータ書き込みの方法を提供することを目的とする。

（発明の構成）

（課題を解決するための手段）

本発明は、 $NAND$ セル方式の $E^2 PROM$ にデータを書き込む際、選択されたワード線に沿う全てのメモリセルに同時にデータ書き込みを行うことを特徴とする。具体的には例えば、書き込みサ

イクルをデータラッチ・モードとこれに引続く書き込みモードとに分け、データラッチ・モードで、各ビット線につながるデータラッチ回路に予め1ワード線分の全データを保持し、その後書き込みモードでこれらデータラッチ回路の1ワード線分のデータを一斉に選択ワード線に沿うメモリセルに書き込む。

（作用）

本発明によれば、書き込み動作時、1つのワード線につながるメモリセルは全て同時に書き込みが行われるため、半選択状態になるのは、未書き込みのワード線に沿うメモリセルのうち、データ“0”が与えられたビット線に沿うもの（即ち消去状態を除く）メモリセルのみであり、これは1ワード線の選択につき1回しかない。半選択状態になる回数が多いメモリセルは平均的にみて、最後に選択されるワード線に沿うもののなかにあるが、それでも例えば8メモリセルで1 $NAND$ セルを構成した場合、最大限で半選択状態になるのは8回である。従って本発明によれば、信頼性の高い

$E^2 PROM$ 動作が可能になる。

（実施例）

以下、本発明の実施例を説明する。

第1図は、本発明の一実施例の $E^2 PROM$ の要部構成を示す回路図である。ここではメモリアレイ1は、8個のメモリセルからなる $NAND$ セルを1024個ワード線方向に配列したセクターと、これを折返した形のセクターとから構成される $8 \times 1024 \times 2 = 10,384$ ビットを示している。メモリセルはこの実施例では、浮遊ゲートと制御ゲートを有する MOS トランジスタ構造の不揮発性メモリセルである。各 $NAND$ セルは、一連のドレインが選択ゲートを介してビット線 $BL1, BL2, \dots$ に接続され、他端部のソースは選択ゲートを介して接地電位に接続されている。横方向に並ぶ1024個のメモリセルの制御ゲートは、共通にワード線 $WL (WL1, WL2, \dots)$ に接続されている。ワード線 WL は、ロウ・デコーグ2により選択される。各ビット線 $BL (BL1, BL2, \dots)$ には、データラッチ回路3 (31,

3₂, ...) が設けられ、これらデータラッチ回路3の出力がビット線ブースタ4 (4₁, 4₂, ...) を介してビット線に与えられるようになっている。5は入出力 (I/O) 回路、6は書き込み制御回路である。図では、各ビット線BLに設けられるセンスアンプは省略してある。

第2図は、第1図のデータラッチ回路3およびビット線ブースタ4の部分をより具体的に示している。また第3図(a)(b)は、データ書き込み動作時の各信号およびノード電位を示すタイミング図である。これらの図を参照して、この実施例での書き込み動作を次に説明する。なお、データ書き込み動作に先だって、1ブロックの全メモリセルにつき一括消去を行うことは、従来と同様である。

書き込みサイクルは第3図に示すように、データラッチ・モードと書き込みモードの2段階に分けられる。データラッチ・モードでは、書き込みイネーブル信号WEをトグルさせることにより、1024個のデータをデータラッチ回路3にラッチする。第3図では、この1024個のデータが“1”、

“0”、“1”、“0”、…の場合(図ではこれを反転した信号1/0として、“0”、“1”、“0”、“1”、…が示されている)場合を示している。即ち、第3図(a)に示すように、最初にWEが“L”レベルになることにより、データ“0”がデータラッチ回路3に入り、その出力ノードN₁は5Vになる。次にWEが“L”レベルになると、データ“1”が次のデータラッチ回路3₂に入り、その出力ノードN₂が0Vとなる。以下同様にして各データラッチ回路3に順次データがラッチされていく。そして、1024個のデータがラッチされた後、書き込み信号WRが“L”レベルになって書き込みモードに入る。書き込みモードに入ると、内部昇圧回路(図示せず)からのプログラム電位V_{pp}が出力され、リングオシレータ(図示せず)が動いて発振出力RINGが得られ、これらがビット線ブースタ4を駆動する。即ち“H”レベル出力のノードN₁, N₂, …につながらるビット線ブースタ4₁, 4₂, …が動いてビット線BL₁, BL₂, …にV_{pp}=20Vを出力する。

“L”レベル出力のノードN₂, N₄, …につながらるビット線ブースタ4₂, 4₄, …は動かず、これらに対応するビット線BL₂, BL₄, …では中間電位発生回路(第2図のMOSFET-Q₁)のみが動いて、ビット線に中間電位10Vを出す。一方第3図(b)に示すように、書き込みモードになると必要な選択ゲート線SDIを20V、他の選択ゲート線SDIを0Vとし、選択ワード線WL₈を0V、残りのワード線WL₁~WL₇を20Vとする。

これにより、選択ワード線WL₈に沿う1024個のメモリセルにおいて、ドレインにビット線からのデータ電位20Vまたは10Vが、制御ゲートに0Vが与えられたことになり、データ“1”または“0”が一斉に書き込まれる。即ちいまの場合、メモリセルM₈₁では浮遊ゲートから電子放出が起り、データ“1”が書き込まれる。メモリセルM₈₂では、ドレインに中間電位が与えられているため、1回の書き込み時間2msec程度では浮遊ゲートからの電子放出はほとんどなく、消去状態

“0”を保つ。

以下同様にして、ワード線WL₁, WL₂, …の順に選択して、各ワード線毎に1024ビットのデータを書き込んで行く。

こうしてこの実施例によれば、1ワード線分1024ビットのデータ書き込みを同時に行うことにより、半選択状態になる回路を従来の書き込み法に比べて大きく減少させることができ、半選択状態のストレスに起因する誤動作を防止することができる。

上記実施例では、外部信号である書き込みイネーブル信号WEのトグルによりデータラッチを行うようにしたが、これは内部回路により行うようにしてもよい。

第4図は、アドレス制御回路7によりデータラッチ回路3の制御を行うようにした実施例を説明する等価回路である。第5図は、この方式を用いた場合の書き込みサイクルを示すタイミング図である。

この実施例では、書き込みサイクルの初期に書込

みイネーブル信号 \overline{WE} が“L”レベルになるデータラッチモードと、引込み許込みイネーブル信号 \overline{WE} が“H”レベルになってデータが書き込まれる許込みモードとがある。先ず、 \overline{WE} が“L”レベルになると、アドレスの与えられたデータラッチ回路のみ、データ“0”がラッチされる。アドレスは例えば、20mssecでセンスされる。

“0”、“1”、“0”、“1”、…というデータを書くためには、メモリセルM81のカラムアドレス、M82のカラムアドレス、…、M1028のカラムアドレスを与え、これらに対応するデータラッチ回路に“0”をラッチする。アドレスが与えられないデータラッチ回路は全て“1”に保持される。そして許込みイネーブル信号 \overline{WE} が“H”レベルになって許込みモードになり、先の実施例と同様にして1ワード毎分のデータが同時にメモリセルに書き込まれる。

この実施例によっても、先の実施例と同様の効果が見られることは明らかである。

M11, M12, …, M1024…メモリセル, BL1, BL2, …, BL1024…ビット線, WL1, WL2, …, WLa…ワード線。

出願人代理人 弁理士 林江武彦

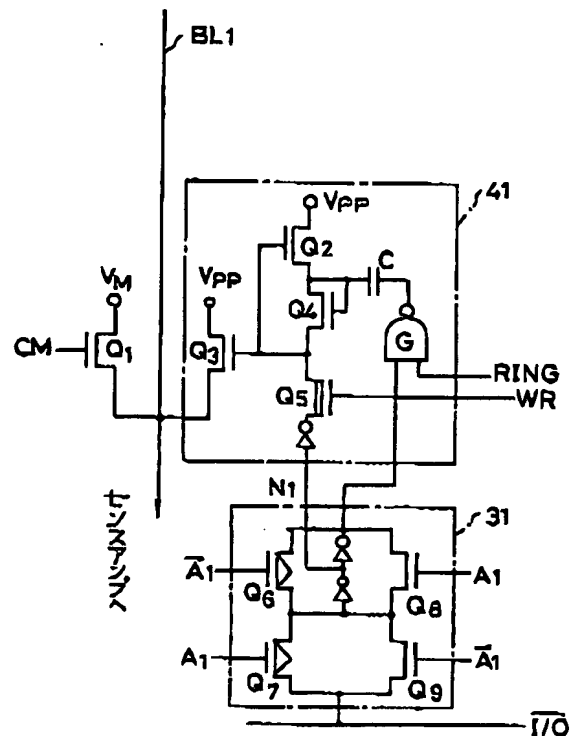
【発明の効果】

以上述べたように本発明によれば、NANDセル方式のE² PROMのデータ書き込みを1ワード線について同時に行うことにより、半導体状態のストレスを大きく軽減し、E² PROMの信頼性向上を図ることができる。

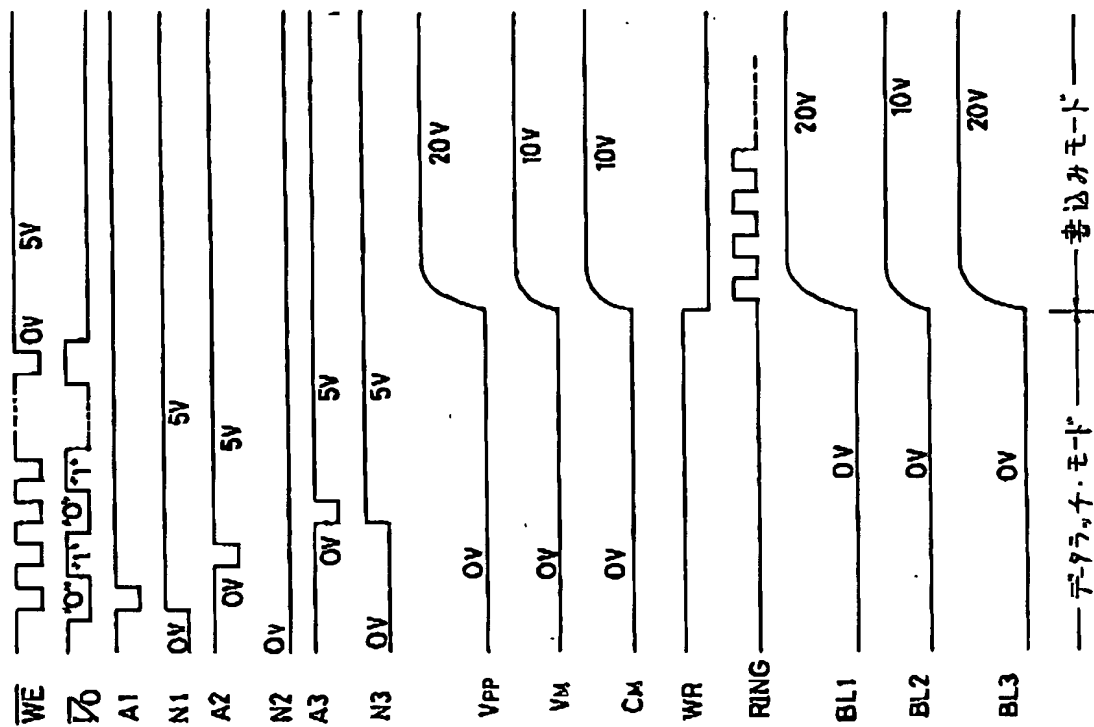
4. 図面の簡単な説明

第1図は本発明の一実施例を説明するためのE² PROM回路構成を示す図、第2図はその一部の具体的構成を示す図、第3図(a)(b)はこの実施例の書き込み動作を説明するためのタイミング図、第4図は他の実施例を説明するためのE² PROM回路構成を示す図、第5図はその書き込み動作を説明するためのタイミング図、第6図はNANDセル方式のE² PROMセルアレイを示す図、第7図(a)(b)は書き込み時の半導体状態のメモリセルの電位関係を示す図である。

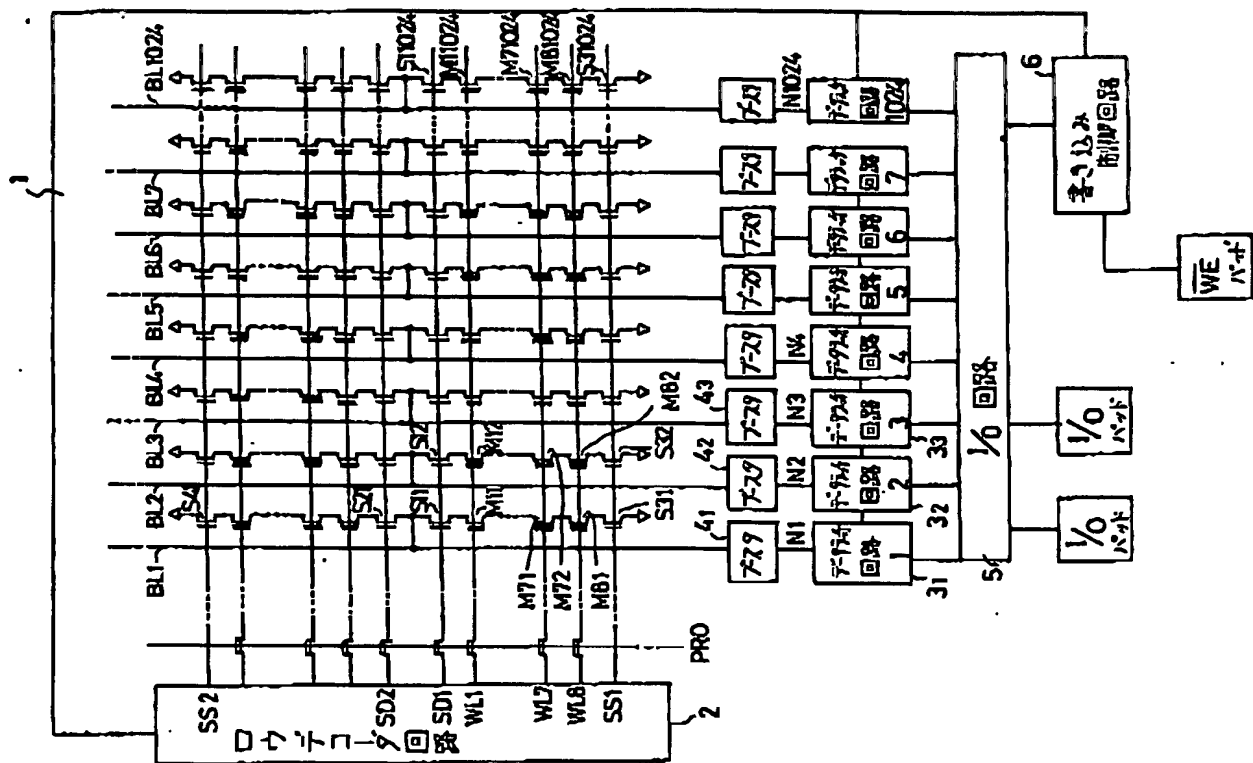
1…メモリセルアレイ、2…ロウ・デコード、3…データラッチ回路、4…ビット線プースタ、6…書き込み制御回路、7…アドレス制御回路。

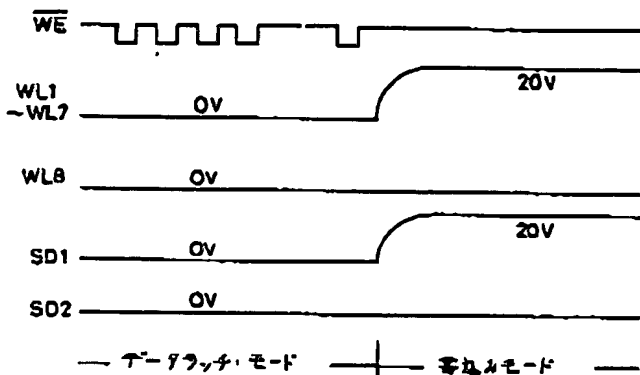


第2図

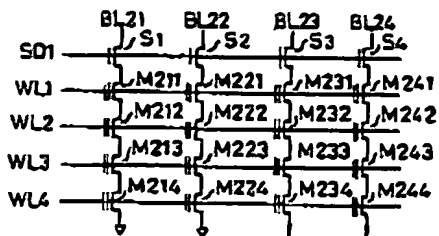


3 (a) 3

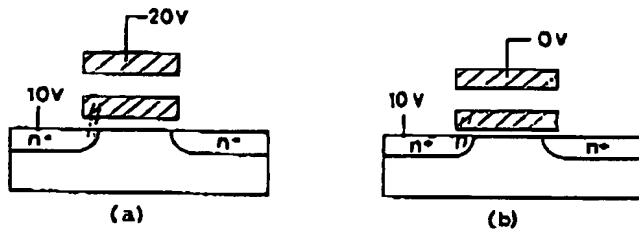




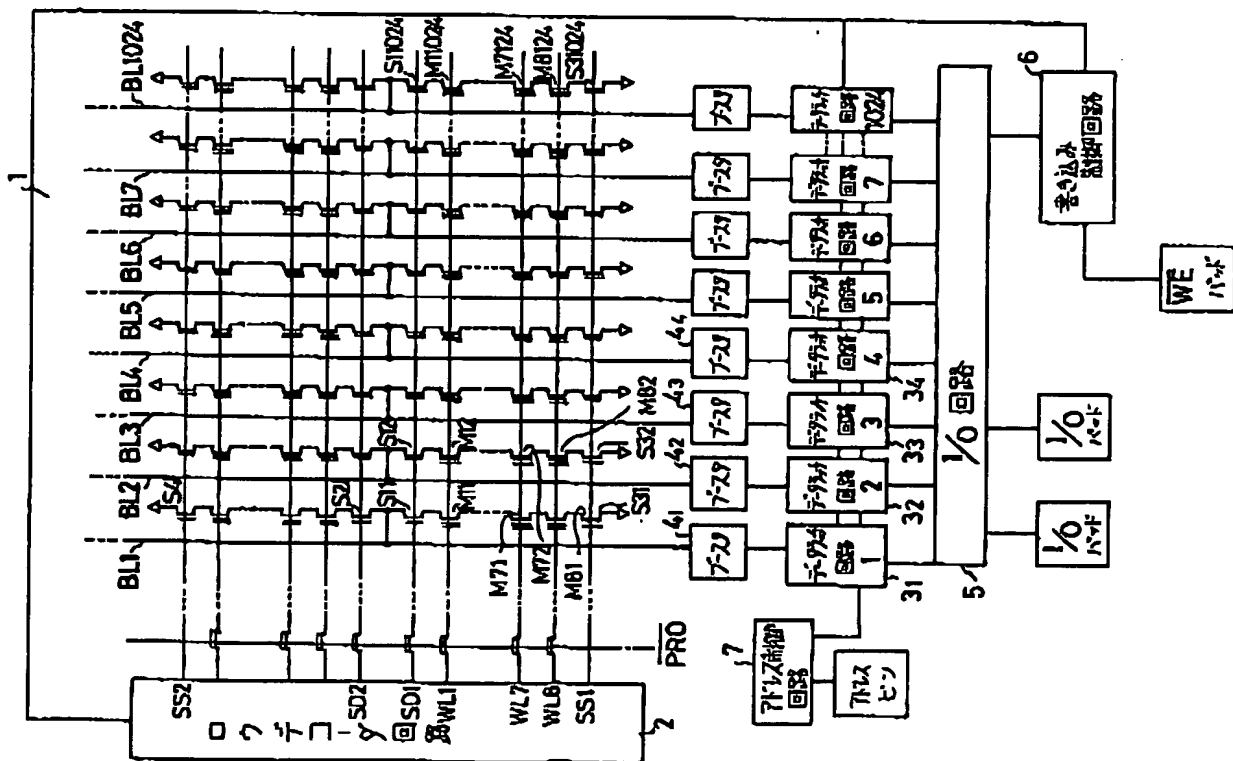
第 3 図



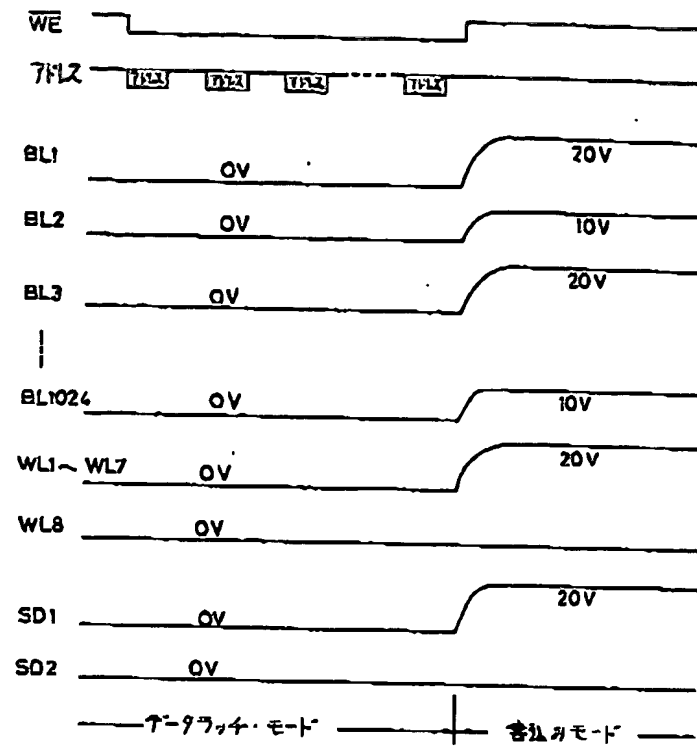
第 6 図



第 7 図



第 4 図



第 5 図

第1頁の続き

②発明者	千葉	昌彦	神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内
②発明者	田中	智晴	神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

Japanese Patent Office

Japanese Laid-open Patent Publication (A)

No. Hei 2(1990)-44599

Request for examination: Not yet requested, number of Claims: 3
(8 pages in total)

Laid-open date: February 14, 1990

Title of the Invention: Method of Writing into Nonvolatile
Semiconductor Memory Device

Patent Application No. Sho 63(1988)-194576

Date Filed: August 5, 1988

Inventor: Fujio Masuoka, Toshiba Corporation Research
Laboratories, 1, Komukai Toshiba-cho, Saiwai-ku, Kawasaki-shi,
Kanagawa-ken

Inventor: Masaki Hyakutomi, Toshiba Corporation Research
Laboratories, 1, Komukai Toshiba-cho, Saiwai-ku, Kawasaki-shi,
Kanagawa-ken

Inventor: Yasuo Ito, Toshiba Corporation Research Laboratories,
1, Komukai Toshiba-cho, Saiwai-ku, Kawasaki-shi, Kanagawa-ken

Inventor: Yoshihisa Iwata, Toshiba Corporation Research
Laboratories, 1, Komukai Toshiba-cho, Saiwai-ku, Kawasaki-shi,
Kanagawa-ken

Applicant: TOSHIBA CORPORATION, 72, Horikawa-cho, Saiwai-ku,
Kawasaki-shi, Kanagawa-ken

Representative: Takehiko Suzuki, patent attorney, and two others

Inventor: Masahiko Chiba, Toshiba Corporation Research
Laboratories, 1, Komukai Toshiba-cho, Saiwai-ku, Kawasaki-shi,
Kanagawa-ken

Inventor: Tomoharu Tanaka, Toshiba Corporation Research
Laboratories, 1, Komukai Toshiba-cho, Saiwai-ku, Kawasaki-shi,
Kanagawa-ken

SPECIFICATION

1. Title of the Invention

Method of Writing into Nonvolatile Semiconductor Memory Device

2. Scope of the Claims

(1) A method of writing into a nonvolatile semiconductor memory device, where data are to be written into a nonvolatile semiconductor memory so configured that a control gate is formed over a semiconductor substrate via a gate insulating film, a matrix is arranged by connecting in series a plurality of electrically rewritable memory cells each having an electric charge holding part in the gate insulating film to constitute NAND cells, a drain at one end of each NAND cell is connected to a bit line, and the control gate each memory cell is connected to a word line, characterized in that data are written at the same time into every memory cell connected to a selected word line.

(2) A method of writing into a nonvolatile semiconductor memory device, where data are to be written into a nonvolatile semiconductor memory so configured that a control gate is formed over a semiconductor substrate via a gate insulating film, a matrix is arranged by connecting in series a plurality of electrically rewritable memory cells each having an electric charge holding part in the gate insulating film to constitute NAND cells, a drain at one end of each NAND cell is connected to one of a plurality of bit lines disposed in one direction, a data latch circuit is formed on each bit line, and the control gate of each memory cell

is connected to one of a plurality of word lines disposed in the direction crossing the bit lines, characterized in that a one-word line equivalent of data is held in each data latch circuit by toggling a write enable signal and data are written at the same time into every memory cell connected to a selected word line.

(3) A method of writing into a nonvolatile semiconductor memory device, where data are to be written into a nonvolatile semiconductor memory so configured that a control gate is formed over a semiconductor substrate via a gate insulating film, a matrix is arranged by connecting in series a plurality of electrically rewritable memory cells each having an electric charge holding part in the gate insulating film to constitute NAND cells, a drain at one end of each NAND cell is connected to one of a plurality of bit lines disposed in one direction, a data latch circuit is formed on each bit line, and the control gate of each memory cell is connected to one of a plurality of word lines disposed in the direction crossing the word lines, characterized in that the data latch circuits are controlled by an address control circuit to invert data only in any data latch circuit to which an address is given, out of the plurality of data latch circuits, and after that data are written at the same time from these data latch circuits into every memory cell connected to a selected word line.

3. Detailed Description of the Invention

[Object of the Invention]

(Field of Industrial Application)

The present invention relates to a nonvolatile semiconductor memory device using electrically rewritable memory cells each having an electric charge holding part in a gate insulating film (E^2 PROM), and more particularly to a method of writing into an E^2 PROM in which NAND cells are formed by directly connecting in series a plurality of memory cells.

(Prior Art)

As an E^2 PROM, what is configured by connecting in series a plurality of nonvolatile semiconductor memory cells is proposed (for instance the Japanese Patent Application No. Sho 62(1987)-233944).

Fig. 6 is an equivalent circuit showing part of a memory array of E^2 PROMs of such a NAND cell type. One-end drains of NAND cells each composed of serial connection of four memory cells M211 through M214, in this example, are connected to a bit line BL 21 via a selection gate S1. The memory cells have an MOS transistor structure having a floating gate and a control gate. The same applies to bit lines FL22, BL23, ... The control gates of the memory cells M211 through M214 constituting one NAND cell are connected to separate word lines WL1 through WL4, respectively.

In this E^2 PROM, first, general erasion to inject electrons into the floating gate of every memory cell is carried out and, after that data are successively written in from the lowest NAND cell (the farthest from the bit lines) upward. To describe it in

more specific terms, the erasing operation reduces all the bit lines BL21, BL22, ... to 0 V ("L" level), and a raised "H" level potential, e.g. 20 V, is provided to a selection gate line SD1 and all the word lines WL1 through WL4. This causes electrons to be tunnel-injected from the substrate to the floating gate in every memory cell, and the threshold rises to a positive high state ("0"). When "1" is to be written into the memory cell M214, the bit line BL21 is set to a raised "H" level, e.g. 20 V, the selection gate line SD1 and the word lines WL1 through WL3 are similarly set to 20 V, and 0 V is provided to a selected word line WL4 as an "L" level. This causes the potential of the bit line BL21 to be transmitted to the drain of the memory cell M214 through the channels of the selection gate S1 and the memory cell M211 through M 213, a high voltage is applied between the drain and the floating gate in the memory cell M214, and electrons are discharged from the floating gate to arrive in a "1" state in which the threshold is low. Next to write "1" into the memory cell M213, 20 V is applied to the bit line BL21, the selection gate line SD1 and the word lines WL1 and WL2, and the selected word line WL3 and the word line WL4 below it, in the position where writing has already been done, are set to 0 V. This causes a high voltage to be applied between the floating gate and the drain in the memory cell M213 as in the aforementioned case, and "1" is written by discharging electrons. In the memory cell M214, where writing has already been done, the potential of the bit line is not transmitted to

the drain and, since the control gate is also at the "L" level, neither writing nor erasion takes place. Similarly thereafter, writing is successively down from the lowest NAND cell upward.

Incidentally in the writing operation described above, there should be no wrong writing into another one of NAND cells driven by the same word line. For instance when writing is to be done into the memory cell M213, as the word line WL3 will take on 0 V, the control gates of other memory cells M223, M233 and M243 along this same word line WL3 will also take on 0 V. Therefore, in order not to let data in these memory cells be rewritten, the unselected bit line BL22 through BL24 can be set to 0 V. However, since the other word lines WL1 and WL2 are at 20 V, such a relationship in potential would make unselected memory cells M221, M22, ... along these word lines enter into an erase mode, resulting in over-erase and inviting erroneous operation. In order to avoid this, conceivably, an intermediate potential, e.g. 10 V, can be applied to the unselected bit line BL22, BL 23 ... This would cause memory cells in unselected NAND cells to take on either a state in which the electric field is small in the erase mode (Fig. 7(a)) or a state in which the electric field is small in the write mode (Fig. 7(b)). They are, so to speak, semi-selected states, which can anyhow prevent erroneous writing or over-erase.

However, if such a stress of semi-selected states is applied multiple times, the threshold will gradually vary, resulting in a high risk of erroneous operation. Suppose, for instance, a

memory array in which one NAND cell is configured of eight memory cells and 1,024 memory cells are connected to one word line. If writing is successively applied to all the bits from the farthest NAND cell from the bit lines upward as described above, when writing has been done 1,024 times one bit at a time into cells connected to the one word line, these 1,024 times of writing will impose 1,023 stresses on the memory cells. However, selected word lines are stressed in the semi-selected state in the "1" write mode, and cells along closer than them to the bit lines are subjected to the stresses in the semi-selected state in the erase mode. The worst case will happen on the memory cell into which writing is done at the very last, and it will be stressed to in the semi-selected state $1023 \times 1 + 1024 \times 7 = 8191$ times. This would constitute a cause for impairing the reliability of the E²PROM.

(Problem to be solved by the invention)

The E²PROM of the conventional NAND cell type described above involves the problem of being subject to stresses in a semi-selected state and therefore being susceptible to erroneous operation.

An object of the present invention is to provide a method of writing into an E²PROM of a NAND cell type which solves this problem.

[Configuration of the Invention]

(Means to solve the problem)

The present invention is characterized in that, when writing

data into an E²PROM of a NAND cell type, data are written into all the memory cells along selected word lines at the same time. To be more specific, for instance, the write cycle is divided into a data latch mode and a write mode following it, and in the data latch mode all the data equivalent to one word line are held in advance by data latch circuits connected to bit lines, and in the subsequent write mode the data equivalent to one word line of these data latch circuits are simultaneously written into memory cells along selected word line.

(Actions)

Since all the memory cells connected to one word line permit simultaneous writing in a write operation according to the invention, what take on a semi-selected state among the memory cells along unwritten word lines are only those memory cells along bit lines to which a datum "0" has been given (i.e. those keeping an erased state), and this happens only once per word line selection. Memory cells which enter into a semi-selected state frequently are found, on the average, among those along the last selected word line, and even they, where one NAND cell is composed of eight memory cells for example, enter into a semi-selected state only eight times at most. Therefore, according to the invention, a highly reliable E²PROM is made possible.

(Embodiments)

Embodiments of the present invention will be described below.

Fig. 1 is an equivalent circuit showing the configuration of the essential part of an E²PROM, which is one embodiment of the invention. A memory array 1 as illustrated here shows $8 \times 1021 \times 2 = 16,384$ bits comprising a sector in which 1,024 NAND cell each consisting of eight memory cells are arrayed in the direction of word lines and a sector in the form of folding back the foregoing sector. Memory cells in this embodiment are nonvolatile memory cells of a MOS transistor structure, each having a floating gate and a control gate. Of each NAND cell, the drain at one end is connected to bit lines BL1, BL2, ... via a selection gate, and the source at the other end is connected to a ground potential via the selection gate. The control gates of the 1024 memory cells arranged abreast are commonly connected to word lines WL (WL1, WL2, ...). The word lines WL are selected by a row decoder 2. Each of the bit lines BL (BL1, BL2, ...) is provided with one of data latch circuits 3 (3₁, 3₂, ...), and the outputs of these data latch circuits 3 are provided to bit lines via bit line boosters 4 (4₁, 4₂, ...). Reference numeral 5 denotes an input/output (I/O) circuit and 6, a write control circuit. In the drawing, sense amplifiers provided on the bit lines BL are not illustrated.

Fig. 2 illustrates the part of the latch circuits 3 and the bit line boosters 4 of Fig. 1 more specifically. Figs. 3 (a) and (b) are timing charts showing signals and node potentials in the data write operation. The write operation in this embodiment will be described next with reference to these drawings. Incidentally,

it is the same as according to the prior art that all the memory cells in one block are simultaneously erased in advance of the data write operation.

The write cycle is divided into two stages of a data latch mode and a write mode as shown in Figs. 3. In the data latch mode, 1024 data are latched by the data latch circuits 3 by causing an write enable signal \overline{WE} to be toggled. In Figs. 3, a case in which these 1024 data are "1", "0", "1", "0", ... (In the drawing "0", "1", "0", "1"; ... are shown as a signal I/O resulting from inversion of this sequence) is shown. Thus as shown Fig. 3 (a), when \overline{WE} is first set to an "L" level, a datum "0" enters into the data latch circuit 3₁, and its output node N₁ takes on 5 V. When \overline{WE} is next set to an "L" level, a datum "1" enters the next data latch circuit 3₂, and its output node N₂ takes on 0 V. Similarly thereafter, data are successively latched by the latch circuits 3. After the 1024 data are latched, a write signal WR takes on an "L" level and the write mode is entered into. When the write mode is entered into, a program potential V_{pp} from an internal voltage booster circuit (not shown) is outputted, a ring oscillator (not shown) is actuated to enable an oscillation output RING is to be obtained, and these drive the bit line boosters 4. Thus, the bit line boosters 4₁ and 4₃ connected to the nodes N₁, N₃ ... giving "H" level outputs are actuated to output V_{pp} = 20 V to the bit lines BL₁, BL₃, The bit line boosters 4₂, 4₄, ... connected to the nodes N₂, N₄ ... giving "L" level outputs are not

actuated are not actuated, and on the bit lines BL_2 , BL_4 , ... connected to them only an intermediate potential generating circuit (the MOSFET- Q_1 in Fig. 2) works to give an intermediate potential of 10 V. On the other hand, when the write mode is entered into as shown in Fig. 3(b), the selection gate line SD_1 is set to 20 V, the other selection gate line SD_2 to 0 V, the selected word line WL_8 to 0 V, and the remaining word lines WL_1 through WL_7 to 20 V.

This causes a data potential of 20 V or 10 V to be given from bit lines to drains and 0V to control gates in the 1024 memory cells along the selected word line WL_8 , and data "1" or "0" are simultaneously written. Thus in the present case, electron discharge occurs from the floating gate in the memory cell M81, and a datum "0" is written. In the memory cell M82, as an intermediate potential is given to the drain, electron discharge scarcely occurs from the floating gate in a duration of around 2 msec per write, and the erase state "0" is maintained.

Similarly thereafter, the word lines WL_7 , WL_8 , ... are selected in that order, and 1024 bits of data are written per word line.

Thus in this embodiment, by simultaneously writing 1024 bits of data equivalent to one word line, the frequency of the occurrence of a semi-selected state can be significantly reduced compared with the conventional writing method, and erroneous operations due to stresses in a semi-selected state can be prevented.

Although data are supposed to be latched by toggling the write enable signal \overline{WE} , which is an external signal, this can as well be accomplished by an internal circuit.

Fig. 4 is an equivalent circuit for illustrating an embodiment of the invention in which data latch circuits 3 are controlled by an address control circuit 7. Fig. 5 is a timing chart showing the write cycle where this system is used.

This embodiment has a data latch mode in which a write enable signal \overline{WE} takes on an "L" level in the early phase of the write cycle and a write mode, following it, in which the write enable signal \overline{WE} takes on a "H" level to let data be written. First, as \overline{WE} takes on an "L" level, a datum "0" is latched by only those data latch circuits to which addresses have been given. Addresses are sensed in, for instance, 20 msec. In order to write data of "0", "1", "0", "1", ..., the column address of the memory cell M81, the column address of M83, ..., and the column address of M1023 are given, and the respectively matching data latch circuits are caused to latch "0". All the data latch circuits to which no address is given are held at "1". When the write enable signal \overline{WE} takes on a "H" level, the write mode is entered in, and data equivalent to one word line are simultaneously written into memory cells as in the foregoing embodiment.

It is evident that this embodiment can provide similar effects to those of the foregoing embodiment.

[Effects of the Invention]

As hitherto described, according to the invention, stresses of semi-selected states can be significantly reduced by writing data into an E²PROM of a NAND cell simultaneously per word line the reliability of the E²PROM o can be enhanced.

4. Brief Description of the Drawings

Fig. 1 is an equivalent circuit showing the configuration of the essential part of an E²PROM, which is one embodiment of the present invention; Fig. 2, a diagram showing its partial specific configuration; Figs. 3(a) and (b), timing charts illustrating the write operation of this embodiment; Fig. 4, an equivalent circuit showing the configuration of the essential part of an E²PROM, which is one embodiment of the present invention; Fig. 5, a timing chart for illustrating the write operation; Fig. 6, a diagram showing an E²PROM cell array of a NAND cell type; Figs. 7(a) and (b), diagrams showing a relationship in potential among memory cells in a semi-selected state at the time of writing.

1 ... memory cell; 2 ... row decoders; 3 ... data latch circuits; 4 ... bit line boosters; 6 ... write control circuit; 7 ... address control circuit; M11, M12, ... M1024 ... memory cells; BL1, BL2, ..., BL 1024 ... bit lines; and WL1, WL2, ... WL8 ... word lines.

Representative of Applicant: Takehiko Suzuki, patent attorney

みイネーブル信号 \overline{WE} が“L”レベルになるデータラッチ・モードと、引続き書き込みイネーブル信号 \overline{WE} が“H”レベルになってデータが書き込まれる書き込みモードとがある。先ず、 \overline{WE} が“L”レベルになると、アドレスの与えられたデータラッチ回路のみ、データ“0”がラッチされる。アドレスは例えば、20 msec でセンスされる。

“0”、“1”、“0”、“1”、…というデータを書くためには、メモリセルM81のカラムアドレス、M82のカラムアドレス、…、M1013のカラムアドレスを与え、これらに対応するデータラッチ回路に“0”をラッチする。アドレスが与えられないデータラッチ回路は全て“1”に保持される。そして書き込みイネーブル信号 \overline{WE} が“H”レベルになって書き込みモードになり、先の実施例と同様に1ワード線分のデータが同時にメモリセルに書き込まれる。

この実施例によっても、先の実施例と同様の効果が見られることは明らかである。

M11, M12, …, M1024…メモリセル, BL1, BL2, …, BL1024…ビット線, WL1, WL2, …, WL8…ワード線。

出願人代理人 弁理士 神江武郎

To sense amplifier

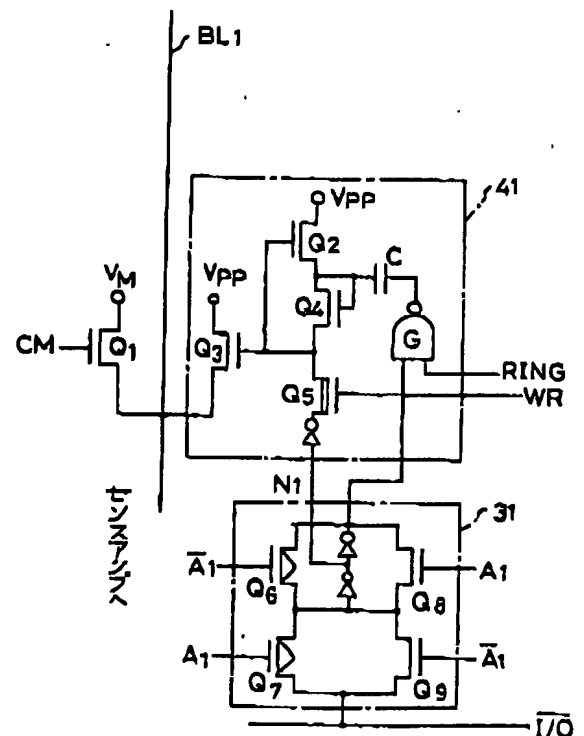
【発明の効果】

以上述べたように本発明によれば、NANDセル方式のE² PROMのデータ書き込みを1ワード線について同時に行うことにより、半選択状態のストレスを大きく軽減し、E² PROMの信頼性向上を図ることができる。

4. 図面の簡単な説明

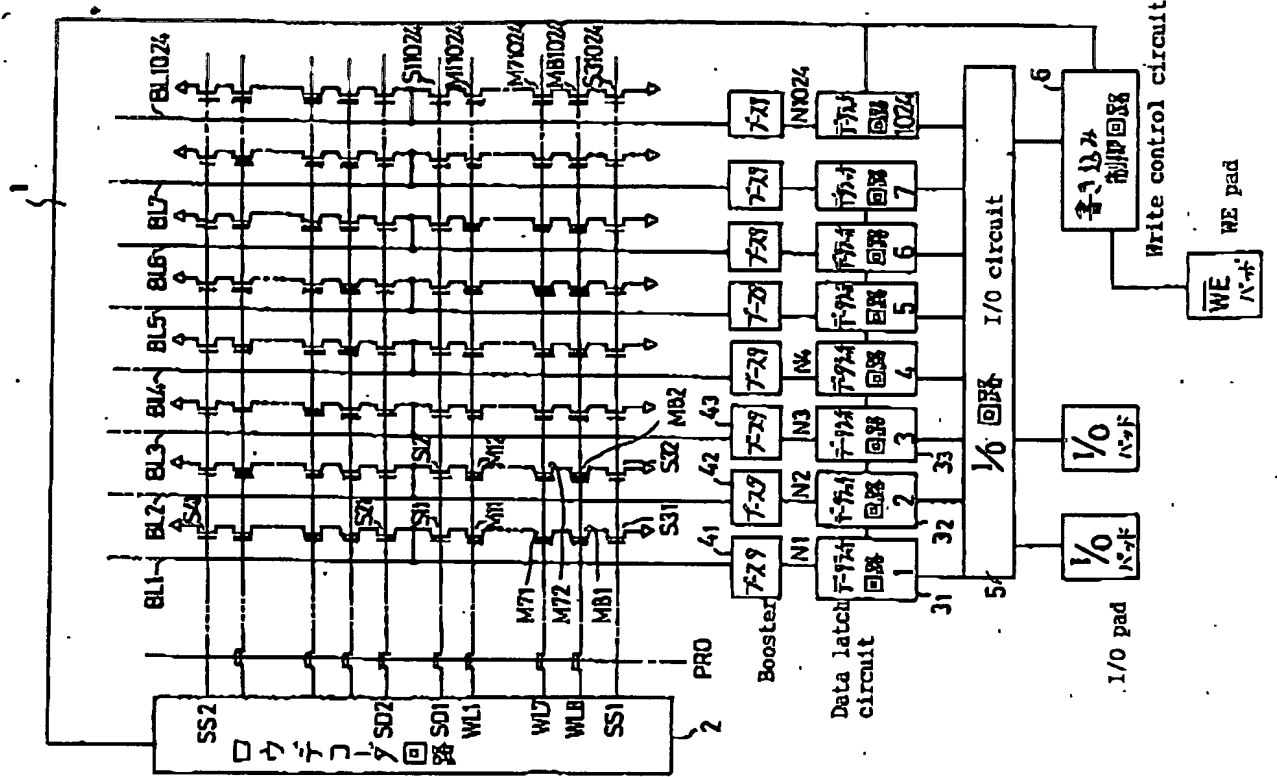
第1図は本発明の一実施例を説明するためのE² PROM回路構成を示す図、第2図はその一部の具体的な構成を示す図、第3図(a)(b)はこの実施例の書き込み動作を説明するためのタイミング図、第4図は他の実施例を説明するためのE² PROM回路構成を示す図、第5図はその書き込み動作を説明するためのタイミング図、第6図はNANDセル方式のE² PROMセルアレイを示す図、第7図(a)(b)は書き込み時の半選択状態のメモリセルの電位関係を示す図である。

1…メモリセルアレイ、2…ロウ・デコーダ、3…データラッチ回路、4…ビット線ブースト、5…書き込み制御回路、7…アドレス制御回路、

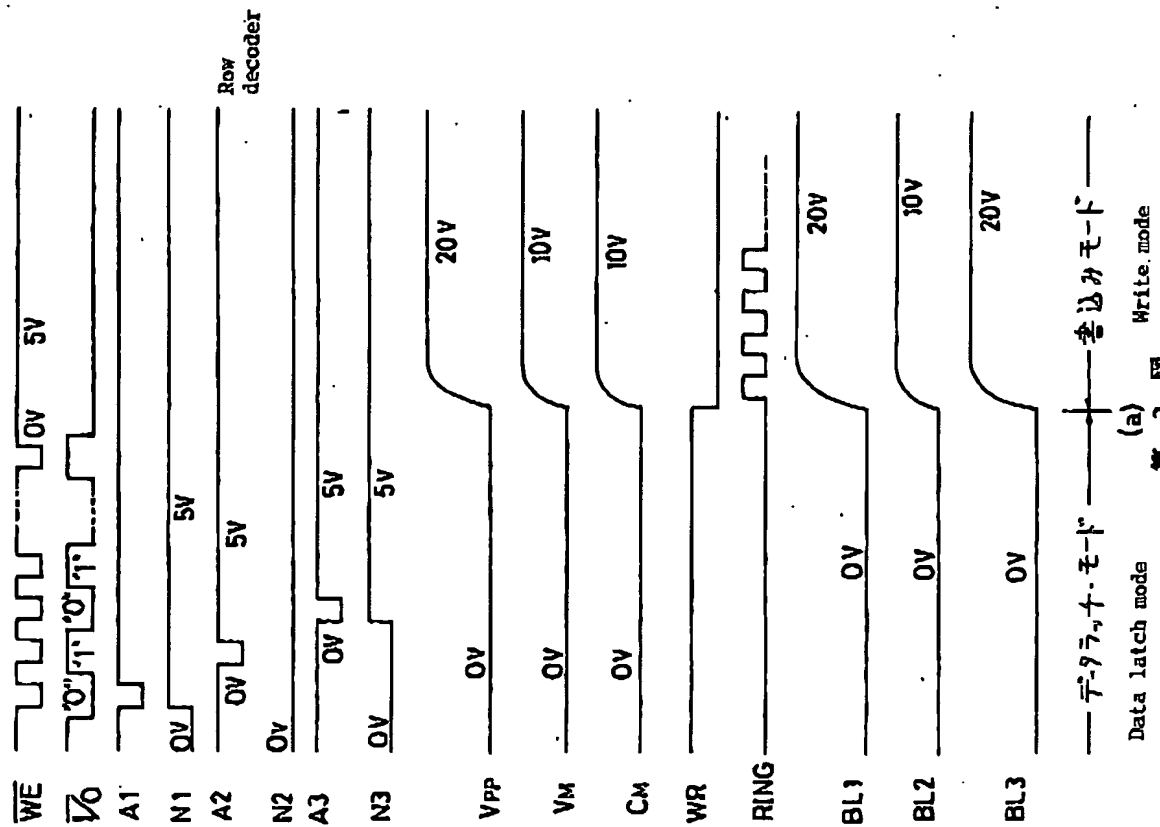


第2図

Fig. 2

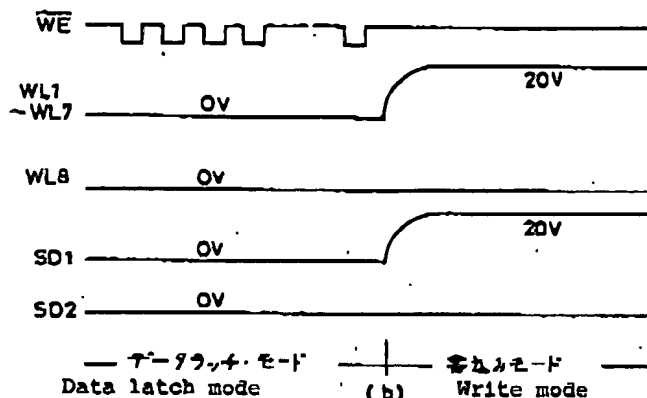


第 1 図 Fig. 1

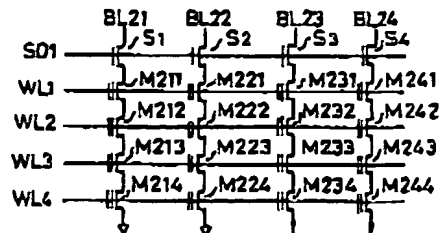


第 3 図 (a)

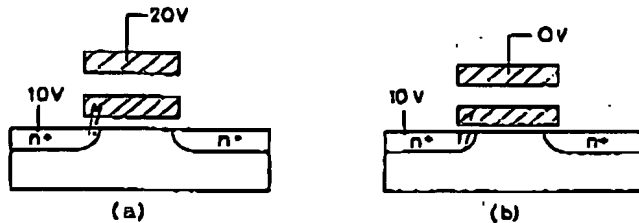
Fig. 3



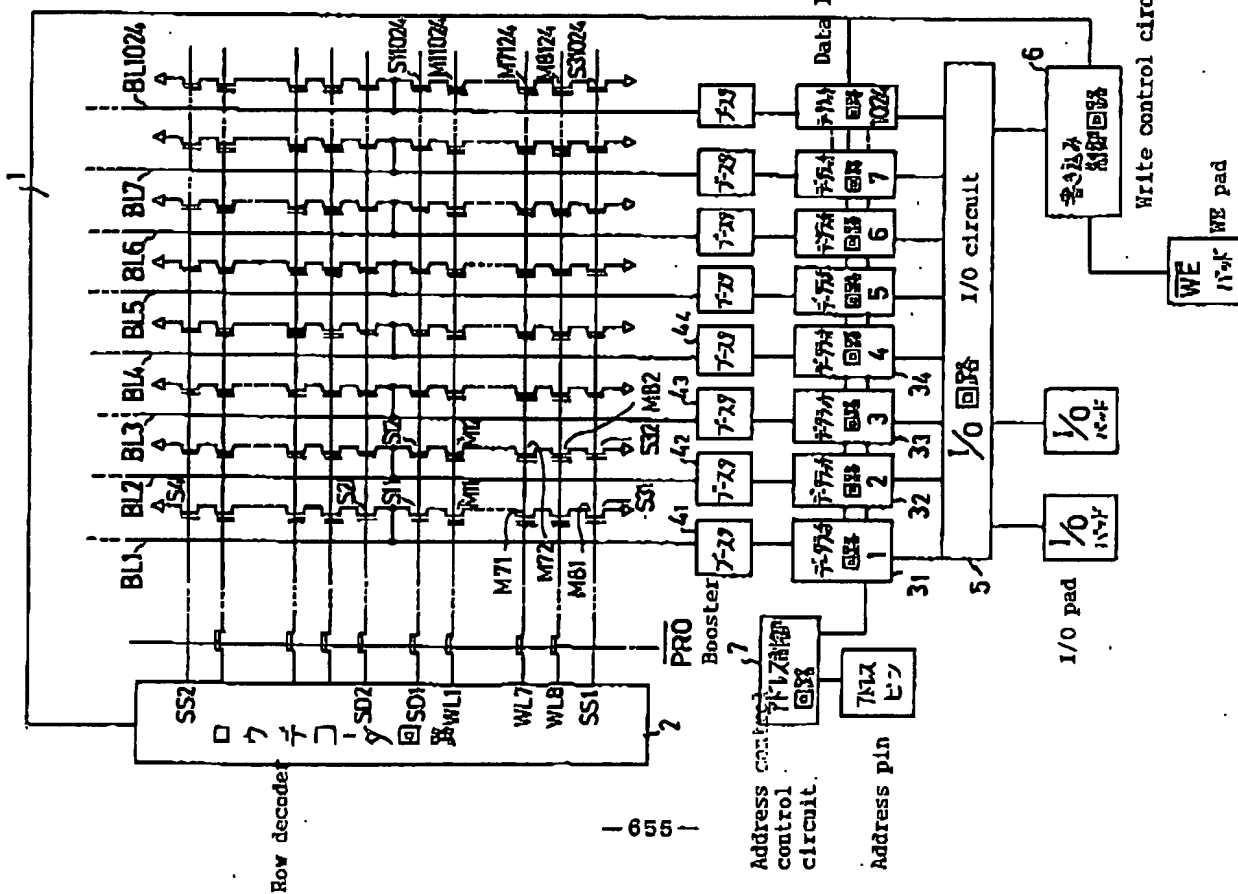
第 3 図
Fig. 3

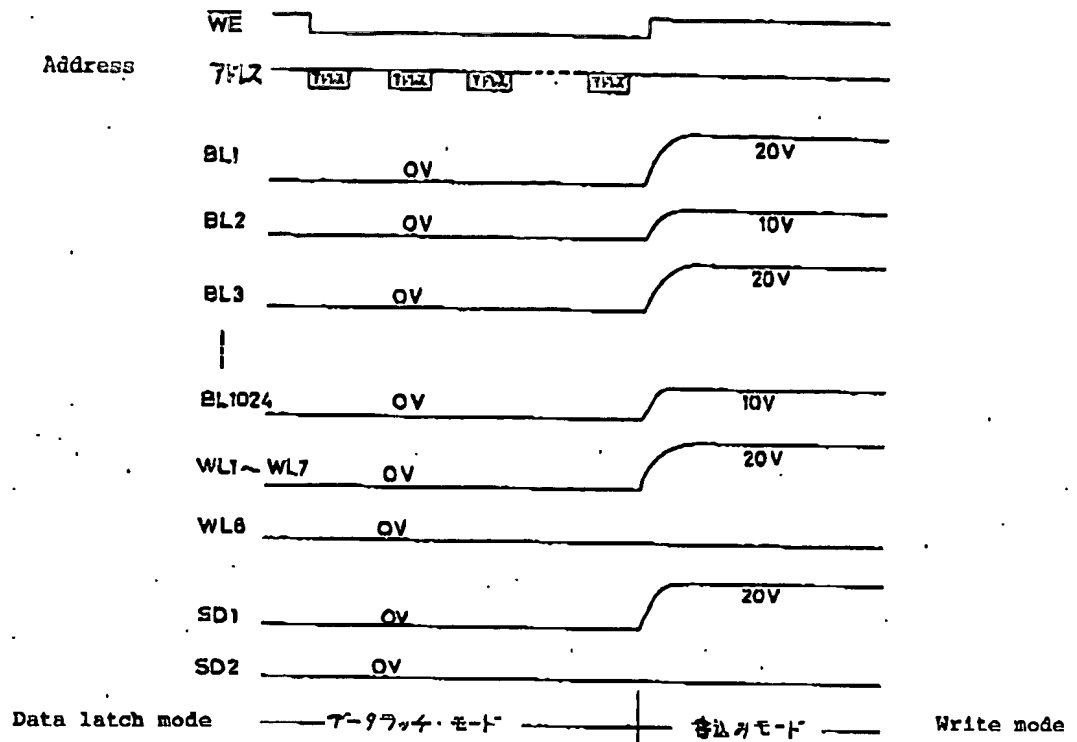


第 6 図
Fig. 6



第 7 図
Fig. 7





第 5 図

Fig. 5

第1頁の続き

⑦発明者 千葉 昌彦 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内
 ⑧発明者 田中 智晴 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.